



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: )  
LENOBLE )  
Serial No. 10/714,440 )  
Confirmation No. 9369 )  
Filing Date: NOVEMBER 14, 2003 )  
For: PROCESS FOR FABRICATING A )  
SHORT-GATE-LENGTH MOS )  
TRANSISTOR AND INTEGRATED )  
CIRCUIT COMPRISING SUCH A )  
TRANSISTOR )

---


TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

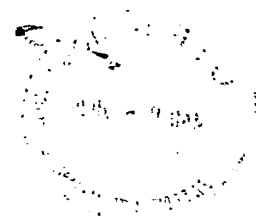
MS MISSING PARTS  
COMMISSIONER FOR PATENTS  
P.O. BOX 1450  
ALEXANDRIA, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the  
priority French Application No.0214255.

Respectfully submitted,

  
\_\_\_\_\_  
MICHAEL W. TAYLOR  
Reg. No. 43,182  
Allen, Dyer, Doppelt, Milbrath  
& Gilchrist, P.A.  
255 S. Orange Avenue, Suite 1401  
Post Office Box 3791  
Orlando, Florida 32802  
Telephone: 407/841-2330  
Fax: 407/841-2343  
Attorney for Applicant



In re Patent Application of:

**LENOBLE**

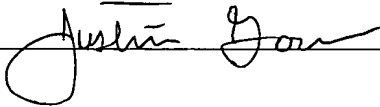
Serial No. 10/714,440

Filing Date: NOVEMBER 14, 2003

---

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: MAIL STOP MISSING PARTS, COMMISSIONER FOR PATENTS, P.O. BOX 1450, ALEXANDRIA, VA 22313-1450, on this 2<sup>nd</sup> day of March, 2004.

  
\_\_\_\_\_





# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

### COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 31 OCT. 2003

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersburg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
[www.inpi.fr](http://www.inpi.fr)





26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

# BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



## REQUÊTE EN DÉLIVRANCE page 1/2



Cet imprimé est à remplir lisiblement à l'encre noire

DS 540 9 W / 016231

<b>14 NOV 2002</b> REMISE DES PIÈCES DATE <b>14 NOV 2002</b> LIEU <b>PARIS</b> N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI <b>14 NOV. 2002</b> <b>Vos références pour ce dossier</b> <i>(facultatif)</i> B 02/3095FR-GK		<b>1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE</b> <b>À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE</b> Bureau D.A. CASALONGA - JOSSE 8, avenue Percier 75008 PARIS	
<b>Confirmation d'un dépôt par télécopie</b>		<input type="checkbox"/> N° attribué par l'INPI à la télécopie	
<b>2 NATURE DE LA DEMANDE</b>		<b>Cochez l'une des 4 cases suivantes</b>	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
<i>Demande de brevet initiale</i> <i>ou demande de certificat d'utilité initiale</i>		N° _____ Date _____ N° _____ Date _____	
Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i>		<input type="checkbox"/> N° _____ Date _____	
<b>3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)</b> Procédé de fabrication d'un transistor MOS de longueur de grille réduite, et circuit intégré comportant un tel transistor.			
<b>4 DÉCLARATION DE PRIORITÉ</b> <b>OU REQUÊTE DU BÉNÉFICE DE</b> <b>LA DATE DE DÉPÔT D'UNE</b> <b>DEMANDE ANTÉRIEURE FRANÇAISE</b>		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
<b>5 DEMANDEUR (Cochez l'une des 2 cases)</b>		<input type="checkbox"/> <b>Personne morale</b> <input type="checkbox"/> <b>Personne physique</b>	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN		_____	
Code APE-NAF		_____	
Domicile ou siège	Rue	29, Boulevard Romain Rolland	
	Code postal et ville	92 120 MONTRouGE	
	Pays	FRANCE	
Nationalité		Française	
N° de téléphone <i>(facultatif)</i>		N° de télécopie <i>(facultatif)</i>	
Adresse électronique <i>(facultatif)</i>			
<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»			

Remplir impérativement la 2<sup>ème</sup> page



# BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE  
page 2/2



14 NOV 2002  
REMISE DES PIÈCES  
DATE 15 INPI PARIS  
LIEU 0214255  
N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI  
Réserve à l'INPI

DB 540 G W / 010801

**Vos références pour ce dossier :**  
(facultatif) B 02/3095FR-GK

**6 MANDATAIRE** (s'il y a lieu)  
Nom  
Prénom  
Cabinet ou Société  
N° de pouvoir permanent et/ou de lien contractuel  
Adresse  
Rue  
Code postal et ville  
Pays  
N° de téléphone (facultatif)  
N° de télécopie (facultatif)  
Adresse électronique (facultatif)

Bureau D.A. CASALONGA - JOSSE  
8, avenue Percier  
75 008 PARIS

**7 INVENTEUR (S)**  
Les demandeurs et les inventeurs sont les mêmes personnes

**8 RAPPORT DE RECHERCHE**  
Établissement immédiat ou établissement différé  
Paie ment échelonné de la redevance (en deux versements)

**9 RÉDUCTION DU TAUX DES REDEVANCES**  
Si vous avez utilisé l'imprimé « Suite », indiquez le nombre de pages jointes

**10 SIGNATURE DU DEMANDEUR**  
ou DU MANDATAIRE  
(Nom et qualité du signataire)

Les inventeurs sont nécessairement des personnes physiques  
☐ Oui  
☒ Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)  
Uniquement pour une demande de brevet (y compris division et transformation)  
Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt  
☐ Oui  
☐ Non  
Uniquement pour les personnes physiques  
☐ Requête pour la première fois pour cette invention (joindre un avis de non-imposition)  
☐ Obtenue antérieurement à ce dépôt pour cette invention (joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence) : AG

Gérard DOSSMANN, br 92 1075 j  
Conseil en Propriété Industrielle

VISA DE LA PRÉFECTURE  
OU DE L'INPI  
M. MARTIN

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.  
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.



**Procédé de fabrication d'un transistor MOS de longueur de grille réduite, et circuit intégré comportant un tel transistor.**

5 L'invention concerne les circuits intégrés, et notamment mais non exclusivement les transistors à effet de champ à grilles isolées (transistors MOSFET) de longueur de grille réduite, par exemple inférieure à 180 nanomètres, et en particulier ceux de dimensions nanométriques, c'est-à-dire dont la longueur de grille est inférieure à  
10 100 nm environ.

La fabrication des transistors MOS de dimensions réduites, en particulier nanométriques, et d'architecture classique, se heurte aujourd'hui à des problèmes intrinsèques limitant leurs caractéristiques de fonctionnement.

15 Parmi ces problèmes, les effets dits « canaux courts » (abaissement de la tension de seuil du transistor lorsque la longueur de grille diminue et par conséquent la longueur de canal diminue) deviennent prépondérants, ce qui a alors un impact négatif sur les caractéristiques en courant des transistors.

20 Il est reconnu que ces effets « canaux courts » sont liés à une diminution de la longueur effective du canal de conduction à cause de la diffusion latérale (c'est-à-dire sous l'électrode de grille) des zones d'extension de source et de drain (communément désignée par l'homme du métier sous le vocable de « zone LDD »).

25 Un des moyens efficaces pour réduire ces effets « canaux courts » parasites est de réduire la profondeur des jonctions de ces zones d'extension, réduisant de ce fait la diffusion latérale (qui est proportionnelle à la profondeur verticale de la jonction) de ces zones d'extension. La réduction de la profondeur des jonctions des zones  
30 d'extension permet de contrôler l'abaissement de la barrière de potentiel entre source et drain lorsque le drain est polarisé, effet connu sous le nom de "DIBL".

Toutefois, la réduction de la profondeur des jonctions de ces zones s'accompagne d'une augmentation de la résistance de couche de

ces jonctions lorsque les profondeurs deviennent inférieures à 40 nm dans le cas des procédés usuels de fabrication qui prévoient une implantation ionique des espèces dopantes (typiquement bore et arsenic), puis une activation thermique par un recuit à haute température.

5 Il convient également de noter que des profondeurs inférieures à 30 nm sont recommandées pour des technologies CMOS inférieures à 100 nm.

10 Et, l'augmentation de la résistance de couche de la jonction augmente la valeur de la résistance parasite du dispositif, limitant ainsi les performances en courant de saturation des transistors.

15 Ainsi, les technologues sont aujourd'hui confrontés au compromis entre le contrôle des effets canaux courts (c'est-à-dire le contrôle de la tension de seuil pour maintenir le courant de fuite du transistor en deçà des valeurs désirées) et l'augmentation des performances des transistors (courant de saturation à l'état passant) partiellement liées à la valeur de la résistance série parasite (donc à la résistance de jonction).

20 Pour améliorer les effets canaux courts, il a été proposé d'implanter des poches de dopants dans la région de canal qui s'étend à partir des régions de drain et de source. Ces poches ont des types de conductivité opposés à celles des régions d'extension de source et de drain à partir desquelles elles s'étendent respectivement.

25 Généralement, ces poches de dopants sont implantées par une technique d'implantation ionique, après la réalisation de la grille, et avant la formation des zones d'extension de drain et de source. Lors de la formation des poches, les dopants tendent à se disperser sur la surface à nu du substrat, ce qui engendre une augmentation sensible du niveau de dopage dans les jonctions présentes aux interfaces drain/substrat et source/substrat. Cette augmentation du niveau de dopage se traduit alors par une augmentation significative des courants de fuite et de la capacité de jonction.

30

Le document US A 6 008 098 décrit un procédé de fabrication de jonctions peu profondes utilisant une couche de silicium amorphe. Après la formation de régions de silicium amorphe dans le substrat autour de la grille, on implante une espèce dopante puis on effectue un recuit à 800°C pendant 40 secondes pour activer l'espèce dopante qui forme des extensions de source et de drain. On forme ensuite des espaceurs puis les régions de source et de drains. Toutefois cette dernière étape est effectuée à des températures élevées nuisibles aux extensions de source et de drain en raison du risque de diffusion de l'espèce dopante.

L'invention vise à remédier à ces inconvénients. L'invention vise à permettre une épitaxie en phase solide apte à former des extensions de source et de drain de faible dimension et peu résistives à un coût raisonnable.

L'invention propose un procédé de fabrication d'un circuit intégré, comprenant un substrat de silicium cristallin et une grille formée sur le substrat. On met en œuvre les étapes suivantes:

- amorphisation d'une région du substrat pour obtenir une région de silicium amorphe,
- implantation d'une espèce dopante dans une sous-région sensiblement comprise dans ladite région du substrat pour former des extensions de drains et de sources,
- formation des source et drain à basse température.

La formation des sources et drains à basse température permet de maintenir en place l'espèce dopante. On évite ainsi une diffusion néfaste. De façon générale, on peut prévoir d'interdire toute montée à une température élevée après la recristallisation de la région amorphisée.

Dans un mode de réalisation de l'invention, après l'implantation, on forme des espaceurs. On peut profiter de la formation des espaceurs pour effectuer l'activation de l'espèce dopante

et la recristallisation du silicium amorphe. Les espaceurs peuvent comprendre de l'oxyde de silicium et/ou du nitrure de silicium.

5 Dans un mode de réalisation de l'invention, après l'implantation, on effectue un recuit à basse température, par exemple entre 650°C et 800°C. De préférence, la température à laquelle est soumis le substrat reste inférieure à 800°C.

10 Avantageusement, l'étape de formation des sources et drains comprend une sous-étape d'amorphisation profonde pour former une région profonde amorphisée. L'amorphisation profonde peut être effectuée sur 80 nm de profondeur.

15 Dans un mode de réalisation de l'invention, l'étape de formation des sources et drains comprend une sous-étape d'implantation d'espèce dopante. La sous-étape d'implantation d'espèce dopante peut avoir lieu avant ou après l'amorphisation profonde.

20 Dans un mode de réalisation de l'invention, après l'étape d'amorphisation profonde ou la sous-étape d'implantation d'espèce dopante, on met en œuvre une sous-étape de recristallisation du silicium amorphisé. La sous-étape de recristallisation du silicium peut être commune à ladite région de silicium amorphe et à ladite région profonde amorphisée.

25 Avantageusement, la formation de siliciure sur les régions de drain et source comprend une sous-étape de recuit à basse température. Ladite sous-étape de recuit provoque en outre une recristallisation de ladite région profonde amorphisée et, le cas échéant de ladite région de silicium amorphe.

30 Dans un autre mode de réalisation de l'invention, on met en œuvre une étape de recuit, postérieurement à la formation des espaceurs.

Avantageusement, on forme des poches dopées dans le substrat avec une espèce dopante de conductivité opposée à celle de l'espèce dopante de l'étape d'implantation.

Dans un mode de réalisation de l'invention, la formation de poches dopées a lieu avant l'étape d'amorphisation.

Dans un autre mode de réalisation de l'invention, la formation de poches dopées a lieu après l'étape d'amorphisation.

5 Dans un mode de réalisation de l'invention, la formation des poches dopées a lieu avant l'étape d'amorphisation et avant l'étape d'implantation d'une espèce dopante.

Dans un mode de réalisation de l'invention, on forme des espaceurs après l'étape d'implantation d'une espèce dopante.

Dans un mode de réalisation de l'invention, on forme des espaceurs avant l'étape d'amorphisation.

10 Dans un mode de réalisation de l'invention, l'amorphisation a lieu sur une épaisseur supérieure à 100 nanomètres.

Dans un mode de réalisation de l'invention, après l'amorphisation, on met en œuvre une étape d'implantation des sources et drains.

15 Dans un mode de réalisation de l'invention, l'étape de formation des sources et drains comprend un recuit à basse température.

20 Dans un mode de réalisation de l'invention, l'étape d'amorphisation comprend l'implantation d'ions lourds électriquement inactifs. Les ions lourds sont préférablement choisis parmi le silicium, le germanium, l'argon, le néon, le xénon et le krypton.

Dans un mode de réalisation de l'invention, l'espèce dopante implantée lors de ladite étape d'implantation est choisie parmi les espèces suivantes:  $B^+$ ,  $BF_2^+$ ,  $In^+$ ,  $As^+$ ,  $P^+$  et  $Sb^+$ .

25 Préférablement, la température de l'étape de formation des sources et drains est inférieure à  $800^{\circ}C$ . La température de l'étape de formation des sources et drains peut être supérieure à  $650^{\circ}C$ .

L'invention propose également un circuit intégré comportant au moins un transistor obtenu par le procédé ci-dessus.

30 Dans un mode de réalisation de l'invention, la dimension de la grille du transistor, comptée parallèlement à la longueur du canal, est inférieure à 180 nanomètres.



Dans un mode de réalisation de l'invention, la dimension de la grille du transistor, comptée parallèlement à la longueur du canal, est inférieure à 100 nanomètres.

5 L'invention permet de conserver les avantages d'une formation d'extensions de source et drain de faibles dimensions malgré les étapes ultérieures de fabrication.

Selon un aspect de l'invention, dans un substrat de silicium cristallin surmonté d'une grille, on effectue une amorphisation d'une  
10 région d'un substrat pour obtenir une première région de silicium amorphe, une implantation d'une espèce dopante dans une sous-région sensiblement comprise dans ladite première région du substrat pour former des extensions de drains et de sources, un recuit d'activation de l'espèce dopante par recristallisation, une amorphisation d'une  
15 deuxième région d'un substrat pour obtenir une deuxième région de silicium amorphe, et la formation des sources et drains à basse température.

Selon un autre aspect de l'invention, dans un substrat de silicium cristallin surmonté d'une grille, une implantation d'une espèce dopante dans le substrat pour former des poches dopées, une implantation d'une  
20 espèce dopante de conductivité opposée à celle de l'espèce dopante des poches dans une sous-région sensiblement comprise dans les poches pour former des extensions de drains et de sources, la formation d'espaceurs, une implantation d'une espèce dopante dans le substrat pour former des drains et des sources, une amorphisation d'une région d'un  
25 substrat pour obtenir une région de silicium amorphe comprenant ladite sous-région, et une recristallisation de ladite région amorphe par recuit à faible température.

Les drains et les sources seront, de préférence, formés avec la ou les mêmes espèces dopantes que les extensions de drains et de sources.

Selon un autre aspect de l'invention, dans un substrat de silicium cristallin surmonté d'une grille formée sur le substrat, on altère la structure cristalline d'une région du substrat pour réduire la possibilité de diffusion d'espèces dopantes dans ladite région altérée, on implante  
5 une espèce dopante dans une sous-région essentiellement comprise dans ladite région altérée dans le but de former des extensions de drains et de sources, et on forme des sources et drains à basse température. La formation des sources et drains peut en outre servir à activer l'espèce dopante de la sous-région.

10 La présente invention sera mieux comprise et d'autres avantages apparaîtront à la lecture de la description détaillée de quelques modes de réalisation pris à titre d'exemples nullement limitatifs et illustrés par les dessins annexés, sur lesquels:

- les figures 1 à 8 sont des vues en coupe d'un transistor MOS au  
15 cours d'étapes de fabrication au moyen d'un procédé selon l'invention; et

- les figures 9 et 10 sont des vues en coupe d'un transistor MOS au cours d'étapes de fabrication au moyen d'un autre procédé selon l'invention.

20 En se référant tout d'abord à la figure 1, un transistor MOS en cours de fabrication comprend, formée au-dessus d'un substrat S et dans une zone active ZA d'un substrat, éventuellement délimitée par une région isolante non représentée, une région de grille GR. On procède à l'implantation IMP1 de dopants, par implantation ionique ou  
25 plasma, par exemple du bore, pour former des extensions de drain et de source LDD par exemple d'épaisseur de l'ordre de 20 nm. Plus généralement le dopant sera choisi parmi les ions suivants:  $B^+$ ,  $BF_2^+$ ,  $In^+$ ,  $As^+$ ,  $P^+$  et  $Sb^+$ . Les extensions LDD s'étendent légèrement sous le grille GR.

Puis, on procède, bien que cela ne soit pas absolument indispensable, à la formation par implantation oblique IMP2 de dopants de type opposé à celui utilisé pour les implantations des extensions LDD, à des poches PK (« pocket » en langue anglaise), cf. figure 2.

5 L'implantation de ces poches PK peut s'effectuer avant ou après l'implantation des extensions LDD, par une technique d'implantation ionique, c'est-à-dire en soumettant le substrat S à un flux de particules ioniques. Ces poches sont implantées au voisinage des extensions LDD en utilisant les bords de la grille GR comme masque d'implantation.

10 Ces poches PK contribuent à améliorer le contrôle des effets canaux courts et évitent notamment une trop grande chute de la tension de seuil du transistor. Il est possible de réaliser l'implantation des poches PK avec le même niveau de masquage photo-lithographique que celui des zones LDD en préservant leur efficacité. En effet il est connu

15 que l'efficacité de ces poches est reliée à leur localisation précise dans la zone active sous la grille. Cette localisation est d'autant moins dispersée que leur énergie d'implantation est faible.

Puis, on réalise à basse température des espaceurs ESP disposés sur les côtés de la grille GR, par exemple en nitrure de silicium par

20 dépôt TEOS, par dépôt de nitrure de silicium puis gravure, confer figure 3. Lors du recuit des espaceurs ESP, la température reste inférieure à 800°C, préférablement 700°C afin de ne pas provoquer de diffusion de dopants. La taille au pied des espaceurs peut être comprise entre 20 et 80 nm.

25 Comme on peut le voir sur la figure 4, on implante ensuite des régions de source SO et de drain DR, par implantation de dopants de même conductivité que les extensions LDD pour former des régions de source SO et drain DR. Les régions de source SO et de drain DR sont plus épaisses que les extensions LDD et que les poches PK.



Puis, on procède à l'amorphisation d'une région AM suffisamment profonde pour qu'elle s'étende latéralement sur une distance supérieure à celle de l'espaceur ESP, voir figure 5. Les caractéristiques de la zone amorphe, notamment sa surface, sont contrôlées par le choix de l'amorphisation, notamment par implantation d'ions lourds électriquement neutres selon une dose, une énergie et un angle choisis. Les ions lourds sont avantageusement choisis parmi le silicium, le germanium, l'argon, le néon, le xénon et le krypton.

Par exemple, l'implantation d'ions Ge+ à une énergie de 60 keV à 0° avec une dose de  $1^{E15}$  par  $\text{cm}^2$  permet d'amorphiser le substrat sur une profondeur de 80 nm. En y ajoutant, une implantation d'ions Ge+ à une énergie de 60 keV à une incidence de 30° avec une dose de  $1^{E15}$  par  $\text{cm}^2$  et une implantation d'ions Ge+ à une énergie de 70 keV à une incidence de 35° avec une dose de  $1^{E15}$  par  $\text{cm}^2$ , la région AM recouvre complètement l'extension LDD préalablement implantée. La région AM s'étend sur une épaisseur supérieure à 100 nanomètres.

On procède ensuite à la siliciuration de la surface supérieure du substrat et de la grille pour former des contacts CT, par exemple en  $\text{TiSi}_2$  ou  $\text{CoSi}_2$ , voir figure 6. La siliciuration nécessite un budget thermique qui peut être suffisant pour recristalliser la zone AM et activer l'ensemble des dopants présents dans le substrat. La formation du siliciure est souvent effectuée entre 400 et 800°C. On pourra choisir une température de l'ordre de 700°C suffisante pour la recristallisation de la zone AM et l'activation des dopants.

À titre de variante illustrée sur la figure 7, on peut effectuer au préalable un recuit de recristallisation, distinct de la siliciuration. Le recuit sera à une température inférieure à 800°C. La température de siliciuration sera inférieure à 600°C pour éviter une diffusion des dopants par dépassement du budget thermique.

On obtient ainsi un transistor à hautes performances, illustré sur la figure 8, dans lequel les lignes résiduelles LR de défauts cristallins sont disposées en dehors des extensions LDD, d'où des fuites très faibles et des effets canaux courts réduits.

5           À titre de variante, on implante les régions de source SO et de drain DR après l'amorphisation de la région AM.

10           À titre de variante illustrée sur les figures 9 et 10, on réalise d'abord l'amorphisation de la région AM, voir figure 9, puis l'implantation IMP3 de dopants pour former les extensions LDD, et éventuellement l'implantation de dopants pour former les poches PK, voir figure 10, puis la formation d'espaceurs à basse température, puis l'amorphisation de la région de source et drain, puis l'implantation de dopants pour former les régions de source SO et drain DR. On procède éventuellement à un recuit de recristallisation, voir figure 7. On

15           procède ensuite à la siliciuration, voir figure 6.

20           Grâce à l'invention, on fabrique un transistor de longueur de grille inférieure à 100 nm, à jonction LDD ultra courte, ultra fine et peu résistive. La faible épaisseur permet de minimiser les effets canaux courts et l'effet DIBL. La fabrication est économique car des recuits peuvent être effectués en bénéficiant du budget thermique d'autres étapes, notamment de formation des espaceurs ou de siliciuration, et car les espaceurs voisins de la grille peuvent être formés et maintenus à demeure. En outre, l'invention met à profit des étapes existantes de fabrication, d'où un procédé rapide et aisé à mettre en œuvre.

25           L'invention s'applique aux transistors MOS canal N ou canal P et plus généralement aux transistors à effet de champ et aux transistors bipolaires. Les régions de source SO et drain DR et les extensions LDD peuvent bénéficier des mêmes étapes d'activation des dopants et de recristallisation du silicium.

## REVENDICATIONS

1-Procédé de fabrication d'un circuit intégré, comprenant un substrat de silicium cristallin et une grille formée sur le substrat, dans lequel:

- 5                   - on met en œuvre une étape d'amorphisation d'une région du substrat pour obtenir une région de silicium amorphe,
- on met en œuvre une étape d'implantation d'une espèce dopante dans une sous-région sensiblement comprise dans ladite région du substrat pour former des extensions de drains et de sources,
- 10                  - on met en œuvre une étape de formation des source et drain à basse température.

2-Procédé selon la revendication 1, dans lequel on crée l'étape d'implantation, on met en œuvre une étape de formation d'espaceurs.

- 15                3-Procédé selon la revendication 1 ou 2, dans lequel, après l'étape d'implantation, on met en œuvre une étape de recuit à basse température.

- 4-Procédé selon l'une quelconque des revendications précédentes, dans lequel l'étape de formation des sources et drains comprend une sous-étape d'amorphisation profonde.
- 20

5-Procédé selon l'une quelconque des revendications précédentes, dans lequel l'étape de formation des sources et drains comprend une sous-étape d'implantation d'espèce dopante.

- 6-Procédé selon la revendication 4 ou 5, dans lequel, après l'étape d'amorphisation profonde ou d'implantation d'espèce dopante, on met en œuvre une sous-étape de recristallisation du silicium.
- 25

7-Procédé selon la revendication 2, dans lequel l'étape de formation des espaceurs comprend une sous-étape de recuit à basse température.

8-Procédé selon la revendication 2, dans lequel on met en œuvre une étape de recuit, postérieurement à la formation des espaceurs.

5 9-Procédé selon l'une quelconque des revendications précédentes, dans lequel on met en œuvre une étape de formation de poches dopées dans le substrat avec une espèce dopante de conductivité opposée à celle de l'espèce dopante de l'étape d'implantation.

10 10-Procédé selon la revendication 9, dans lequel l'étape de formation de poches dopées a lieu avant l'étape d'amorphisation.

11-Procédé selon la revendication 9, dans lequel l'étape de formation de poches dopées a lieu après l'étape d'amorphisation.

15 12-Procédé selon la revendication 9 ou 10, dans lequel l'étape de formation des poches dopées a lieu avant l'étape d'amorphisation et avant l'étape d'implantation d'une espèce dopante.

13-Procédé selon l'une quelconque des revendications précédentes, dans lequel on met en œuvre une étape de formation des espaceurs après l'étape d'implantation d'une espèce dopante.

20 14-Procédé selon l'une quelconque des revendications précédentes, dans lequel on met en œuvre une étape de formation d'espaceurs avant l'étape d'amorphisation.

15-Procédé selon l'une quelconque des revendications précédentes, dans lequel l'étape d'amorphisation a lieu sur une épaisseur supérieure à 100 nanomètres.

25 16-Procédé selon l'une quelconque des revendications précédentes, dans lequel, après l'étape d'amorphisation, on met en œuvre une étape d'implantation des sources et drains.

30 17-Procédé selon l'une quelconque des revendications précédentes, dans lequel l'étape de formation des sources et drains comprend un recuit à basse température.

18-Procédé selon l'une quelconque des revendications précédentes, dans lequel l'étape d'amorphisation comprend l'implantation d'ions lourds électriquement inactifs.

5 19-Procédé selon la revendication 18, dans lequel les ions lourds sont choisis parmi le silicium, le germanium, l'argon, le néon, le xénon et le krypton.

10 20-Procédé selon l'une quelconque des revendications précédentes, dans lequel l'espèce dopante implantée lors de ladite étape d'implantation est choisie parmi les espèces suivantes :  $B^+$ ,  $BF_2^+$ ,  $In^+$ ,  $As^+$ ,  $P^+$  et  $Sb^+$ .

21-Procédé selon l'une quelconque des revendications précédentes, dans lequel la température de l'étape de formation des sources et drains est inférieure à  $800^\circ C$ .

15 22-Circuit intégré comportant au moins un transistor obtenu par le procédé selon l'une des revendications 1 à 21.

23-Circuit intégré selon la revendication 22, caractérisé par le fait que la dimension de la grille du transistor, comptée parallèlement à la longueur du canal, est inférieure à 180 nanomètres.

20 24. Circuit intégré selon la revendication 23, caractérisé par le fait que la dimension de la grille du transistor, comptée parallèlement à la longueur du canal, est inférieure à 100 nanomètres.

1/5

FIG.1

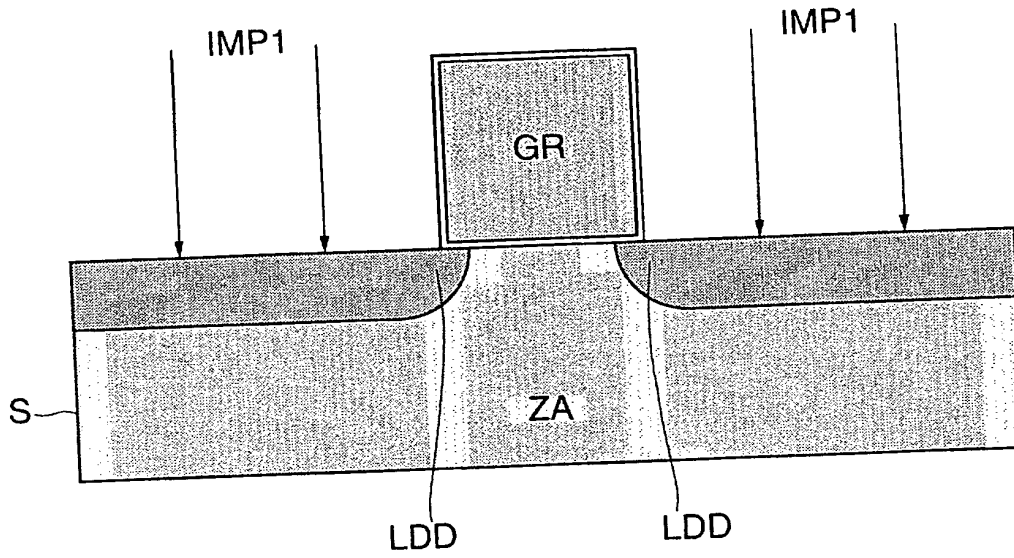
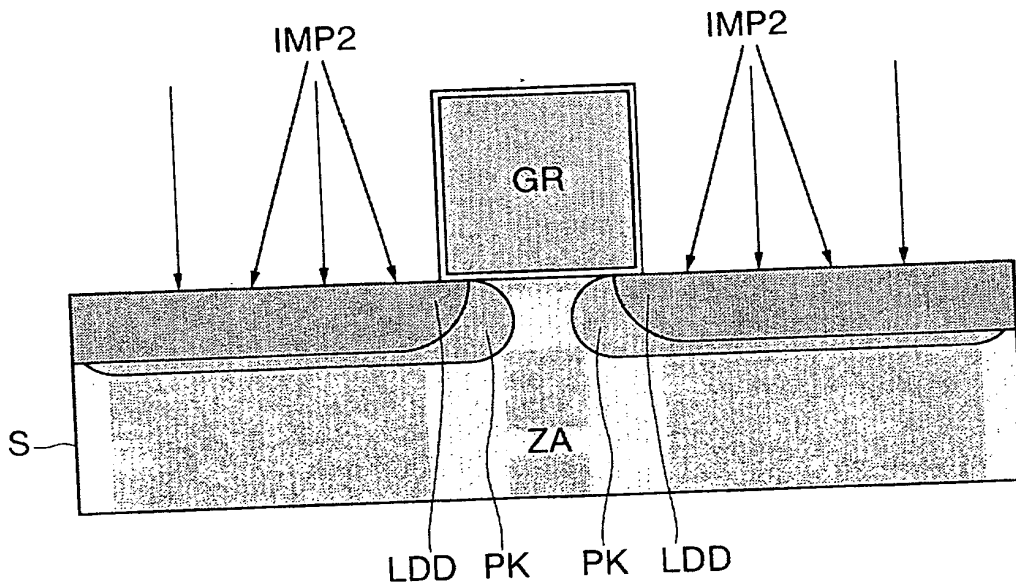
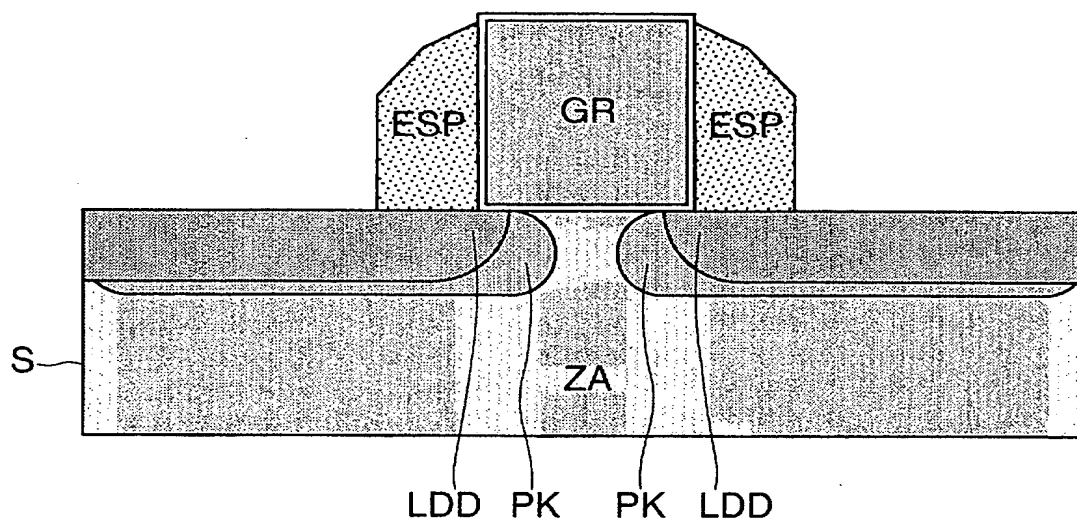
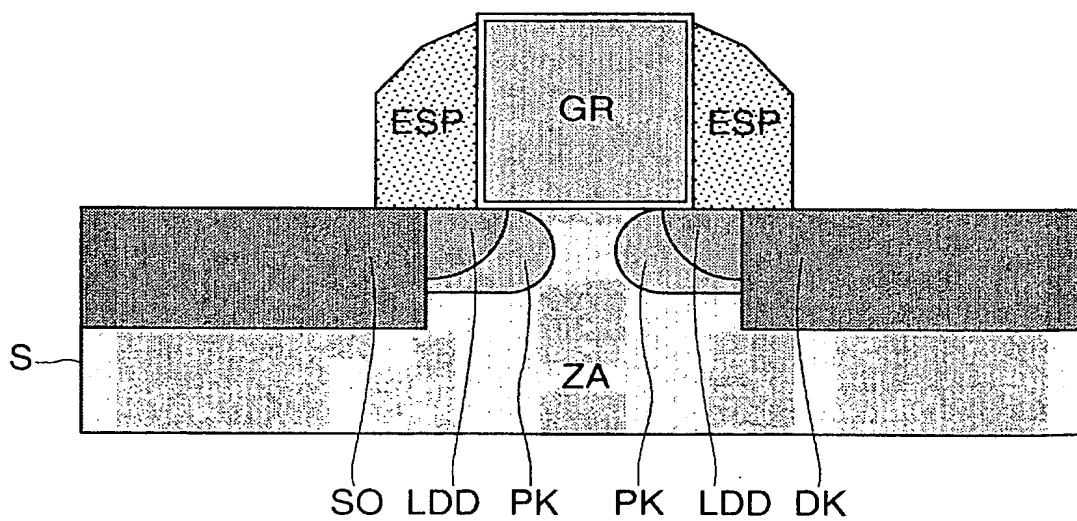


FIG.2



2/5

FIG.3FIG.4

2/5

FIG.3

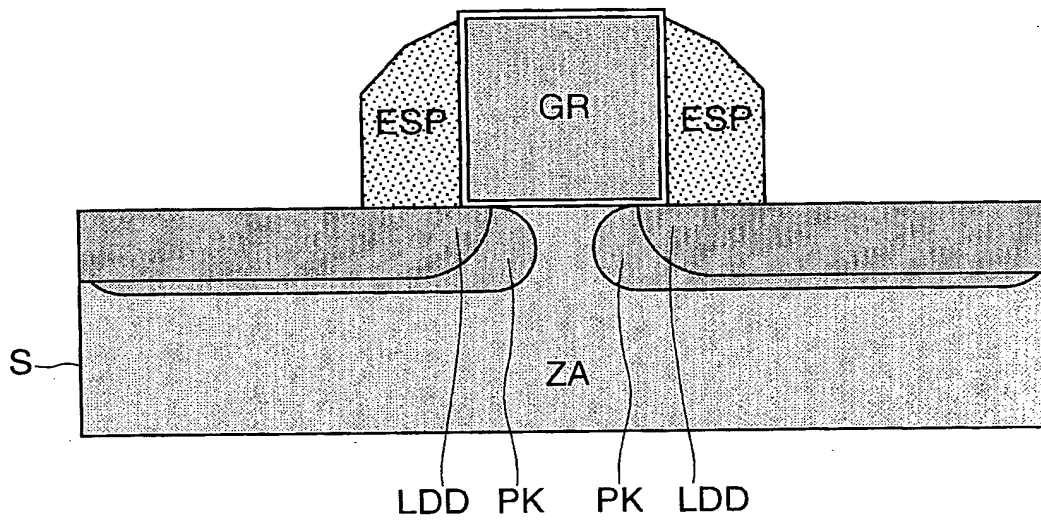
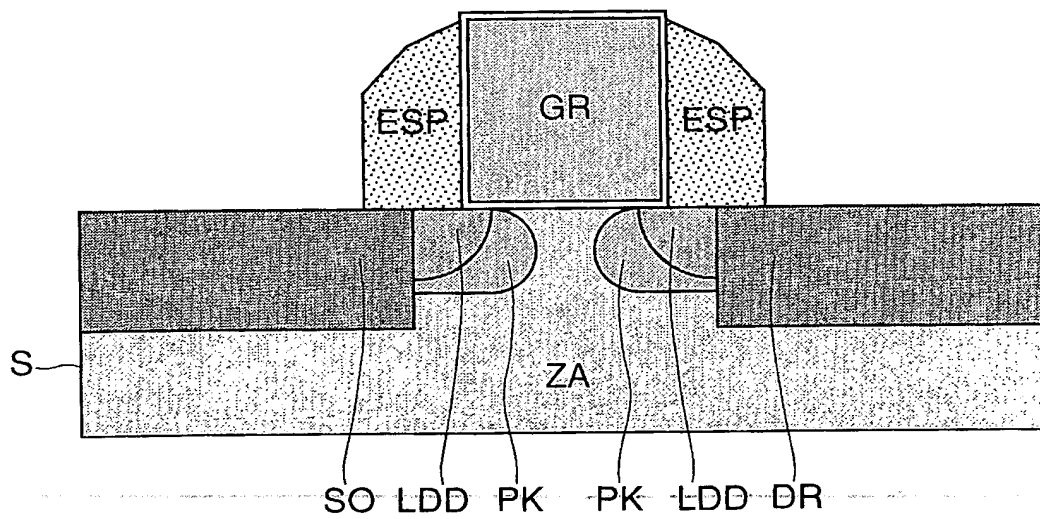
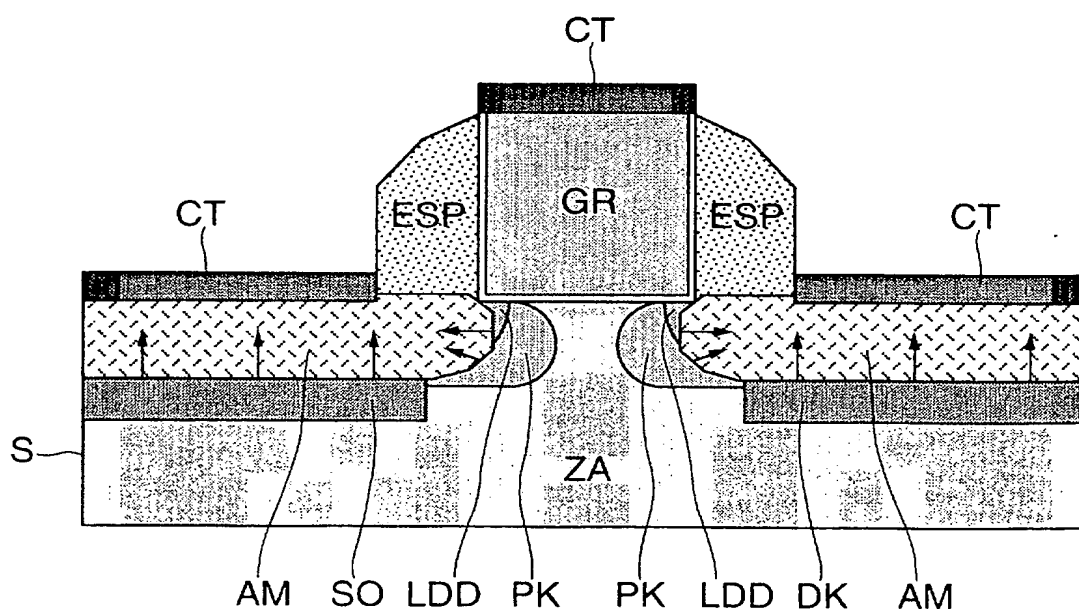


FIG.4





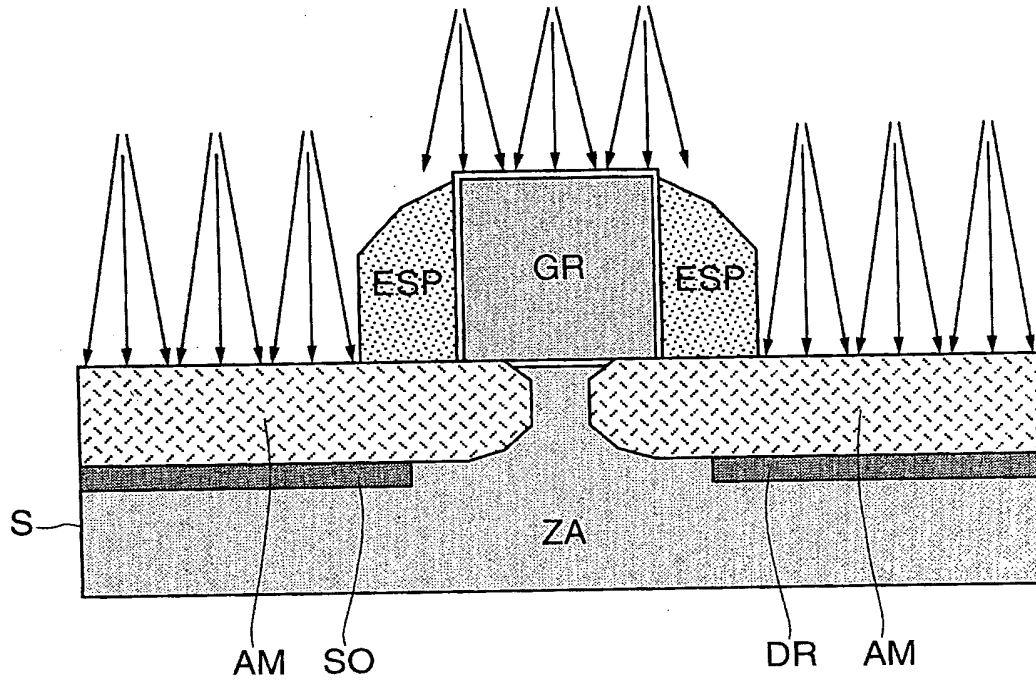
**FIG.5**



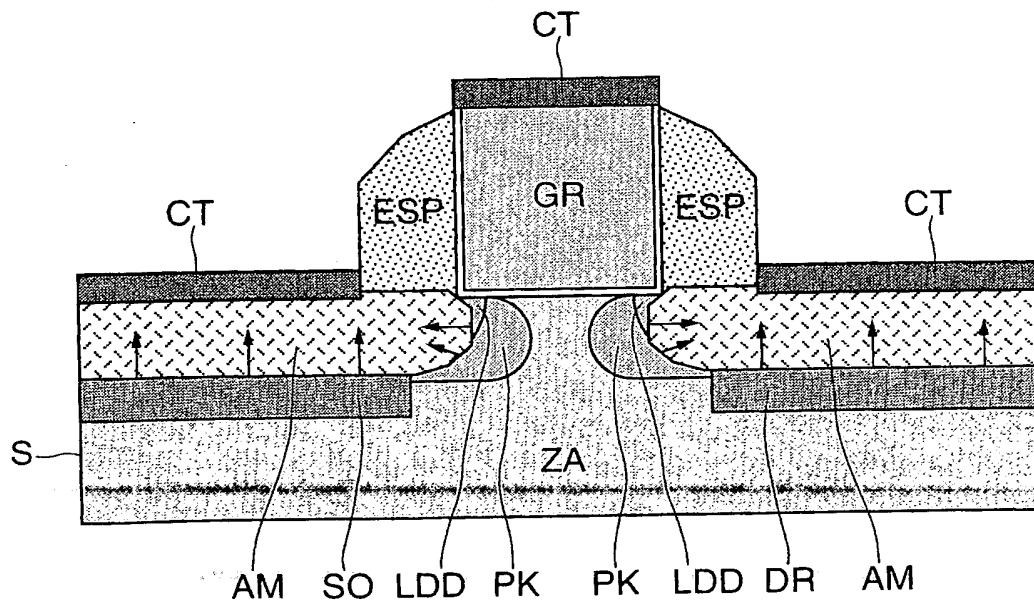


3/5

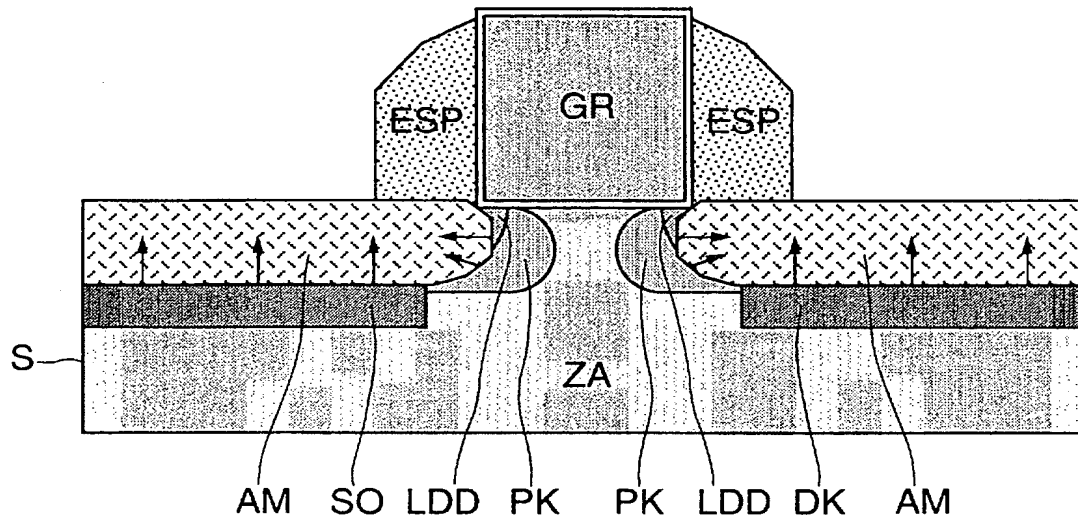
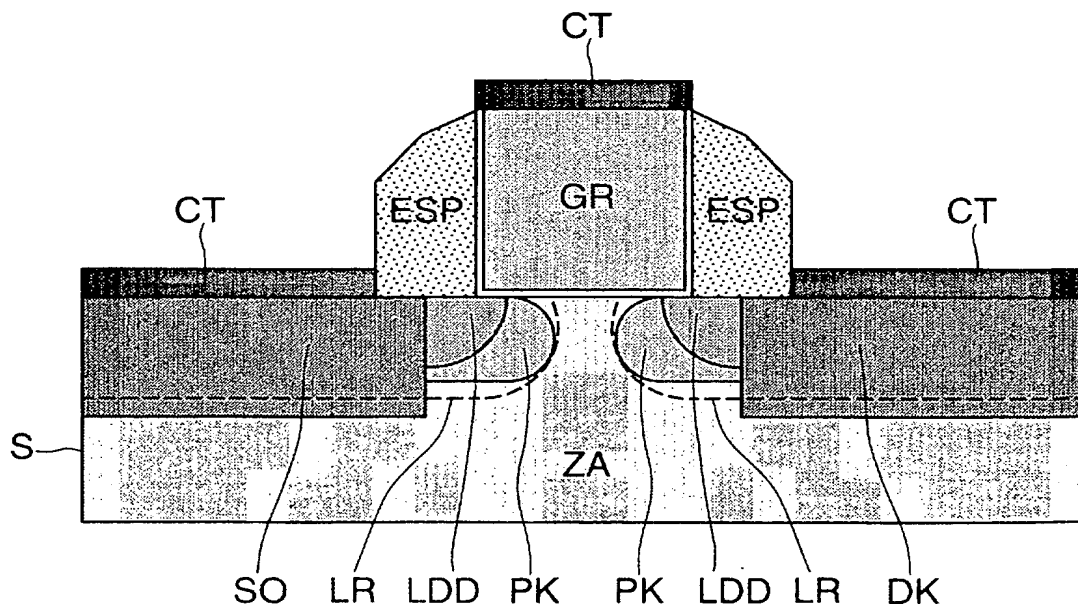
**FIG.5**



**FIG.6**



4/5

FIG.7FIG.8

4/5

FIG.7

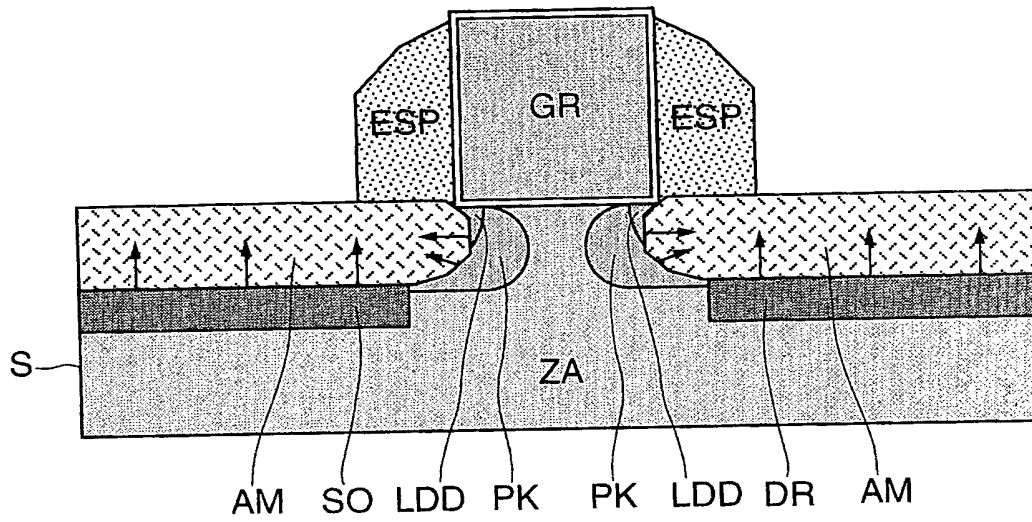
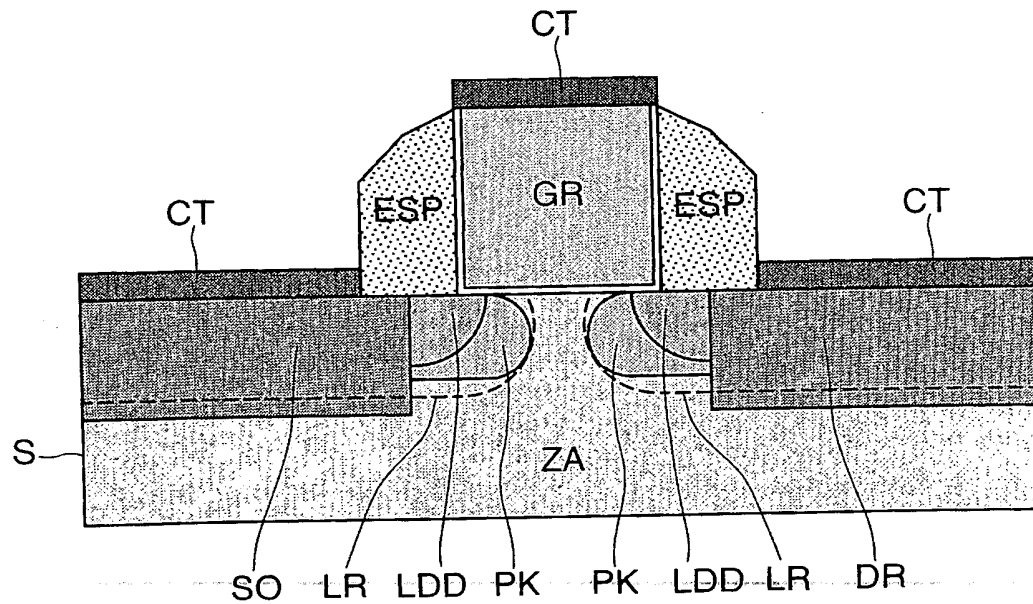
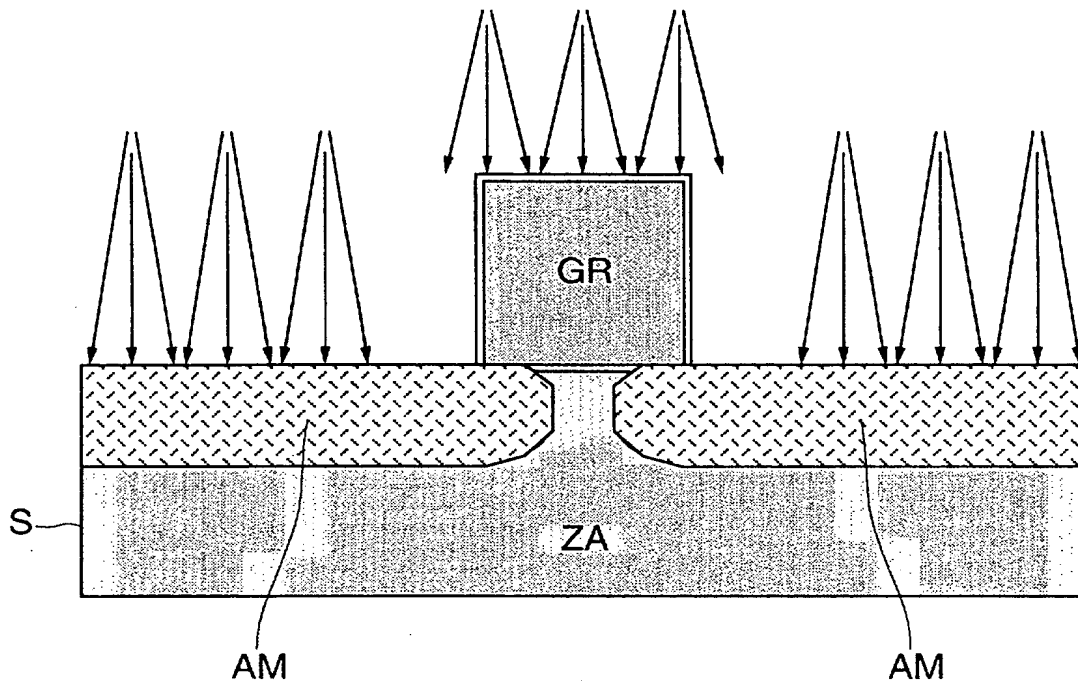


FIG.8

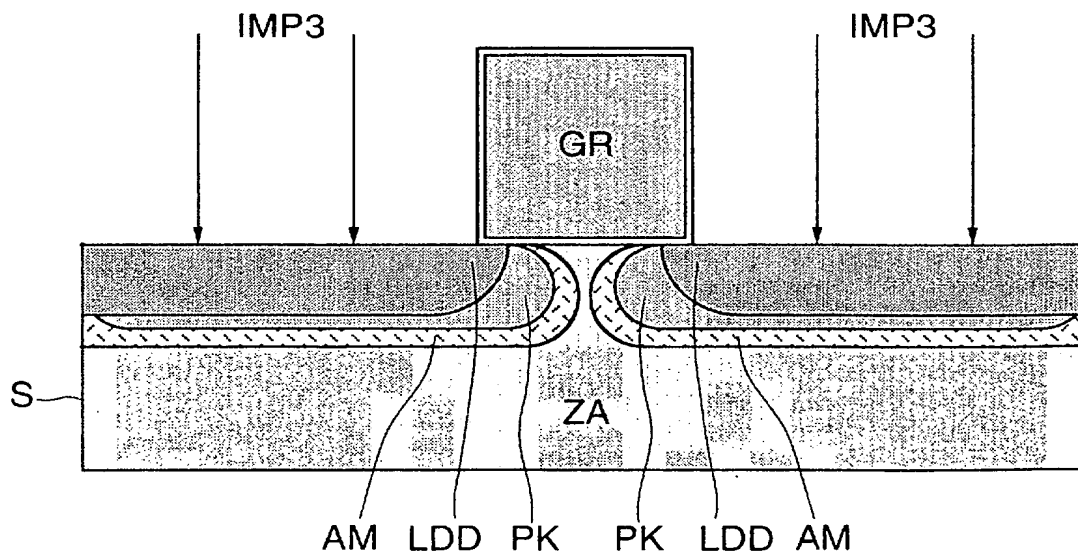


5/5

**FIG.9**



**FIG.10**





DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

  
N° 11235\*03

DÉSIGNATION D'INVENTEUR(S) Page N° 1.../1...

INV

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 G W / 270601

Vos références pour ce dossier (facultatif) B 02/3095FR-GK

N° D'ENREGISTREMENT NATIONAL

0214255

TITRE DE L'INVENTION (200 caractères ou espaces maximum)

Procédé de fabrication d'un transistor MOS de longueur de grille réduite, et circuit intégré comportant un tel transistor.

LE(S) DEMANDEUR(S) :

Société Anonyme dite : STMicroelectronics SA

DESIGNE(NT) EN TANT QU'INVENTEUR(S) :

<b>1</b> Nom		LENOBLE
Prénoms		Damien
Adresse	Rue	11, rue des Palettes
	Code postal et ville	131816110 GIÈRES
Société d'appartenance (facultatif)		
<b>2</b> Nom		
Prénoms		
Adresse	Rue	
	Code postal et ville	[ ] [ ] [ ] [ ] [ ] [ ]
Société d'appartenance (facultatif)		
<b>3</b> Nom		
Prénoms		
Adresse	Rue	
	Code postal et ville	[ ] [ ] [ ] [ ] [ ] [ ]
Société d'appartenance (facultatif)		

S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.

DATE ET SIGNATURE(S)  
DU (DES) DEMANDEUR(S)  
OU DU MANDATAIRE  
(Nom et qualité du signataire)

Paris, le 14 Novembre 2002

  
Gérard DOSSMANN, pm 92 1075 j  
Conseil en Propriété Industrielle

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.  
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.